

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-306806

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
H01L 27/10

(21)Application number : 07-105591

(71)Applicant : ASAHI CHEM IND CO LTD

(22)Date of filing : 28.04.1995

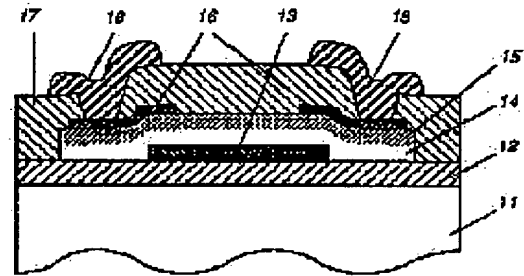
(72)Inventor : KOYAMA RYUJI
MATSUI MASAHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device which stably operates by using a ferroelectric thin film whose surface is made semiconductive.

CONSTITUTION: In a semiconductor element provided with a ferroelectric thin film 14, a gate electrode 13 formed in contact with the first surface of the ferroelectric thin film, and source/drain electrodes 16 which are spaced and formed in contact with the second surface 15 of the ferroelectric thin film, the second surface 15 of the ferroelectric thin film 14 is made semiconductive.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-306806

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I .	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 5 1
	29/792			
	27/10	4 5 1		

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平7-105591

(71)出願人 000000033

旭化成工業株式会社

(22)出願日 平成7年(1995)4月28日

大阪府大阪市北区堂島浜1丁目2番6号

(72)発明者 小山 竜二

静岡県富士市鮫島2番地の1 旭化成工業株式会社内

(72)発明者 松井 正宏

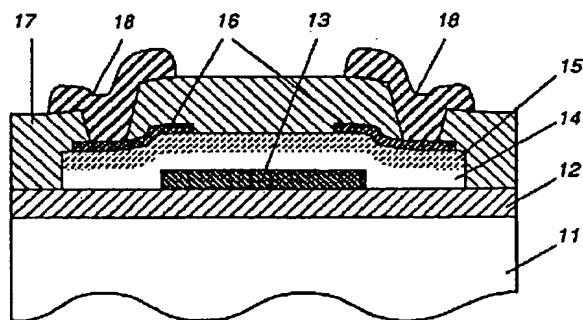
静岡県富士市鮫島2番地の1 旭化成工業株式会社内

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 表面を半導体化した強誘電体薄膜を用いて、安定に動作する半導体装置を提供する。

【構成】 強誘電体薄膜14と、前記強誘電体薄膜の第1表面に接して設けられるゲート電極13と、前記強誘電体薄膜の第2表面15に接して間隔をおいて設けられるソース/ドレイン電極16とを備えた半導体素子において、前記強誘電体薄膜の第2表面15が半導体化されていることを特徴とする半導体装置。



1

【特許請求の範囲】

【請求項1】 強誘電体薄膜と、前記強誘電体薄膜の第1表面に接して設けられるゲート電極と、前記強誘電体薄膜の第2表面に接して間隔をおいて設けられる2つのソース／ドレイン電極とを備えた半導体素子において、前記強誘電体薄膜の第2表面が半導体化されていることを特徴とする半導体装置。

【請求項2】 強誘電体薄膜と、前記強誘電体薄膜の第1表面に接して設けられるゲート電極と、前記強誘電体薄膜の第2表面に接して間隔をおいて設けられる2つのソース／ドレイン電極とを備えた半導体素子において、前記強誘電体薄膜の第2表面のソース／ドレイン電極と接しているソース／ドレイン領域がp型あるいはn型導電型に半導体化され、前記ソース／ドレイン領域に挟まれた強誘電体薄膜の第2表面は、前記ソース／ドレイン領域と異なる導電型に半導体化されたチャネル領域であることを特徴とする半導体装置。

【請求項3】 基板上あるいは基板上に形成された膜上にゲート電極を形成する工程と、前記ゲート電極上に強誘電体薄膜を形成する工程と、前記強誘電体薄膜の表面を半導体化し強誘電体薄膜の一部に半導性領域を形成する工程と、前記半導性領域上に間隔をおいて2つのソース／ドレイン電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 基板上あるいは基板上に形成された膜上にゲート電極を形成する工程と、前記ゲート電極上に強誘電体薄膜を形成する工程と、前記強誘電体薄膜の表面の間隔をおいた2つの領域をp型あるいはn型導電型に半導化してソース／ドレイン領域を形成する工程と、前記強誘電体薄膜の表面の前記ソース／ドレイン領域に挟まれた領域を前記ソース／ドレイン領域と異なる導電型に半導化してチャネル領域を形成する工程と、前記ソース／ドレイン領域上にそれぞれソース／ドレイン電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置、特に強誘電体を用いたメモリ効果を有する薄膜トランジスタ等の半導体装置に関する。

【0002】

【従来の技術】 強誘電体材料はヒステリシス特性を有することが知られている。このヒステリシス特性を利用して、メモリ効果を持ったデバイスを作成できる。従来、さまざまなタイプの強誘電体を利用した半導体装置が提案されている。米国特許3,832,700号には、半導体基板上に形成した強誘電体薄膜をゲート絶縁膜として用いる電界効果トランジスタを利用したデバイスが記載されている。この電界効果トランジスタは強誘電体薄膜の分極電荷により、強誘電体薄膜の下部の半導体表面

2

の導電特性を制御し、情報を記憶することができる。

【0003】 また、米国特許4,873,664号には、記憶セルに強誘電体キャパシタを用いた記憶デバイスが記載されている。前記特許のpp.2の図3に示されているように、記憶セルは強誘電体キャパシタと選択用トランジスタの組み合わせで構成される。記憶セルの典型的な断面構造は、IEDM'87のpp.850~851中の図2に記載されている。強誘電体キャパシタがトランジスタを形成した基板上に絶縁膜を介して配置される。強誘電体キャパシタに正方向の読み出しパルスを加えると、パルスの極性と強誘電体の残留分極の向きが異なり分極反転が起こる場合と、パルスと残留分極の向きが同一で分極反転が起こらない場合で、キャパシタから流れる電荷量が異なり、この差を検出することで情報を読み出すことができる。

【0004】 また、PCT特許WO91/06121号には、強誘電体薄膜上に半導体薄膜を形成した可変抵抗素子を用いた記憶デバイスが記載されている。可変抵抗素子は、前記特許の図面pp.2/5中の図3に示されるように基板上に下部電極、強誘電体薄膜、半導体薄膜の順に形成し、その半導体薄膜上に2つの電極を間隔をおいて配置することにより構成される。強誘電体薄膜の残留分極の向きを制御することにより、半導体薄膜の導電性を制御することができ、半導体薄膜上の2つの電極間の抵抗から情報を読みとることができる。

【0005】

【発明が解決しようとする課題】 このように、強誘電体薄膜を利用した半導体装置はさまざまなタイプのものが提案されている。しかしながら、これら従来の半導体装置にはそれぞれ一長一短があり、問題点を有している。前記米国特許3,832,700号に記載の電界効果トランジスタの場合、半導体基板上に高品質の強誘電体薄膜を形成することは困難で、十分な強誘電特性を持つ膜が得られなかったり、強誘電体／半導体基板界面に多数の欠陥が生じるなどの問題がある。強誘電体と半導体の結晶格子の不整合や、各々の構成元素の相互拡散などが原因である。界面の欠陥は、記憶保持時間が短くなるなどデバイスとしての特性に悪影響を及ぼす。これらの問題を解決するために、強誘電体／半導体基板界面にバッファ層を設けることなどの方法が試みられているが、実用に供するような高い信頼性を持ったデバイスは製造されていない。また強誘電体薄膜形成工程では、通常の半導体プロセスには用いられない材料が使用され、熱処理工程が含まれる。このタイプのデバイス構造では、強誘電体薄膜が半導体基板のすぐ上に形成されるため、強誘電体の構成元素が半導体基板中の集積回路素子に拡散しやすく、集積回路素子に損傷を与えてしまうことも問題になる。

【0006】 このような問題は強誘電体キャパシタを利用したデバイスではある程度解決されている。前記IE

DM' 87のpp. 850~851中の図2では、強誘電体キャパシタは半導体基板上に形成された集積回路素子と絶縁膜で分離されて配置される。そのため、強誘電体薄膜形成工程で基板上の集積回路素子に与える損傷を抑えることができる。また、強誘電体薄膜は金属や導電性酸化物の電極上に形成される。電極材料を注意深く選択することにより、半導体基板の上に直接形成するよりも高品質の強誘電体薄膜が得やすい。

【0007】しかし、このタイプの不揮発メモリーデバイスは記憶内容の読み出し方法が、一度メモリーセルの情報を破壊する、いわゆる破壊読み出し法であり、読み出しサイクル時間が長時間を要するなどの問題点がある。また、前記PCT特許WO91/06121号に記載のデバイス構造の場合、同特許の図面pp. 2/5中の図3では基板上に直接強誘電体可変抵抗素子を配置しているが、デバイスの構成上、基板を絶縁膜で保護した上に強誘電体可変抵抗素子を配置しても何ら問題はない。そのようなレイアウトにすれば、強誘電体キャパシタを使用したものと同様、強誘電体薄膜形成工程での半導体基板上の集積回路の損傷を抑えることができる。しかし、この発明では強誘電体薄膜と半導体薄膜で異なる材料を使用している。そのため、強誘電体/半導体界面では、それぞれの構成元素の拡散や結晶格子の不整合などによる多数の欠陥が生じやすい。そのため、前記米国特許3,832,700号の場合と同様、記憶保持時間が短くなるなど安定性の高いデバイスが得られない。

【0008】このように従来提案されている強誘電体を用いた半導体装置で、半導体集積回路とのインテグレーションの容易性、非破壊読み出し、動作安定性などのすべてを満足するものはなかった。本発明はこのような従来技術に対して、前述の問題点が解消された、新しいタイプの強誘電体を用いた半導体装置を提供することを目的とする。すなわち、本発明の目的は、半導体基板上の集積回路とのインテグレーションが容易で、非破壊読み出しが可能であり、安定な動作が可能な強誘電体を用いた半導体装置を提供することである。

【0009】

【課題を解決するための手段】本発明の半導体装置は、強誘電体薄膜と、前記強誘電体薄膜の第1表面に接して設けられるゲート電極と、前記強誘電体薄膜の第2表面に接して間隔をおいて設けられる2つのソース/ドレイン電極とを備えた半導体素子において、前記強誘電体薄膜の第2表面が半導体化されていることを特徴とする。

【0010】強誘電性領域の残留分極により、半導性領域中に空乏層や蓄積層が生じることにより半導性領域の導電性が変化し、ソースドレイン電極間の抵抗変化として読み出すことができる。情報の書き込み操作、すなわち強誘電体の分極反転はゲート電極と半導性領域間に電圧を印加することにより行う。また本発明が別の解決法として提示する半導体装置は、強誘電体薄膜と、前記

強誘電体薄膜の第1表面に接して設けられるゲート電極と、前記強誘電体薄膜の第2表面に接して間隔をおいて設けられる2つのソース/ドレイン電極とを備えた半導体素子において、前記強誘電体薄膜の第2表面のソース/ドレイン電極と接しているソース/ドレイン領域がp型あるいはn型導電型に半導体化され、前記ソース/ドレイン領域に挟まれた強誘電体薄膜の第2表面は、前記のソース/ドレイン領域と異なる導電型に半導体化されたチャネル領域であることを特徴とする。

【0011】強誘電性領域の残留分極により、チャネル領域中に反転層が生じると、ソース領域とドレイン領域がこの反転層により電気的に接続される。従って、強誘電性領域の残留分極の向きはソースドレイン電極間に電流が流れるかどうかで判別できる。情報の書き込み操作、すなわち強誘電体の分極反転はゲート電極とチャネル領域間に電圧を印加することにより行う。

【0012】この構成では先に述べた1種類の導電型の半導性領域を利用する場合と比べて素子の構造が複雑になるが、情報の読み取りがより容易になる。利用目的により、2つの構成を使い分ければよい。いずれの場合も表面が半導体化された強誘電体薄膜を利用することを特徴としている。同一材料で強誘電性領域と半導性領域を構成することにより、強誘電性領域と半導性領域の間に物質拡散が起こらない。強誘電体薄膜の表面を半導体化したものを利用することにより、強誘電性領域/半導性領域の界面に結晶格子の不連続がなく欠陥の少ない界面が得られる。

【0013】基板としてはSi、GaAs、ガラス、サファイアなどが使用できる。Si、GaAsを使用する場合には、基板上にSiO₂やSiN_x等の絶縁膜を形成しておくことが好ましい。ゲート電極としては、例えば、Pt、Ir、RuO₂など耐酸化性の導電性材料が好ましい。電極と基板の間には、下地基板との密着性を改善するためTi、Taやその窒化物を密着層として設けても良い。

【0014】強誘電体はバンドギャップが4.5eV以下の材料が好ましく、例えばPbZrTiO₃、BiTiO₁₂、GaGeTeが用いられる。バンドギャップがこれ以上大きくなると、半導体化が困難になる。また、強誘電体の残留分極は0.1μC/cm²以上が必要となる。これ以下では、メモリー効果が現れない。PbZrTiO₃、BiTiO₁₂、GaGeTeの残留分極は数μC/cm²~数10μC/cm²あり、メモリーを示すのに十分な残留分極を持っている。

【0015】強誘電体薄膜の厚さは、20nm以上800nm以下が好ましい。20nm以下では絶縁破壊しやすく、また半導体化の際、表面のみの部分的な半導体化が困難になる。また800nm以上では分極反転させるために要する電圧が高くなりすぎる。強誘電体を半導体化した領域は、キャリア濃度が10¹⁶m⁻³から10²⁷m

10^{15} m^{-3} の範囲になっていることが好ましい。キャリア濃度が 10^{15} m^{-3} 以下になると半導性領域の導電率が低くなりデバイスの動作速度が遅くなってしまう。キャリア濃度が 10^{21} m^{-3} 以上では、強誘電性領域の分極変化による半導性領域の導電性の変化が小さくなりすぎる。

【0016】半導性領域の厚さは、通常強誘電体の厚みの $1/40 \sim 1/2$ 程度であり、 10 nm 以上 350 nm 以下が好ましい。 10 nm 以下では半導性領域の抵抗が高くなってしまう。 350 nm 以上では強誘電性領域の分極により半導性領域に生じる蓄積層や空乏層の厚さに対する半導性領域全体の厚さの割合が大きくなりすぎ、半導性領域の抵抗変化が小さくなってしまう。

【0017】ソース/ドレイン電極は Al 、 Pt 、 Ir 、 TiN 、 TiW 、 TaN などが好ましい。ソース/ドレイン電極間の間隔は $100 \mu\text{m}$ 以下が好ましい。 $100 \mu\text{m}$ 以上では素子のサイズが大きくなりすぎ、また、ソース/ドレイン間の抵抗が高くなりすぎ、信号遅延が問題となる。ソース/ドレイン電極上には保護膜を設けても良い。保護膜は絶縁性の材料で、プラズマ SiO_2 や SiN を用いることができる。 SiO_2 、 PSG 、 BPSG などでもよい。該保護膜にコンタクトホールを形成し、強誘電体素子と他の集積回路素子間のコンタクトをとる。コンタクトは Al や Cu 、 W 、 P ドープポリ Si などが好ましい。

【0018】続いてこのような半導体装置の好ましい製造方法について説明する。本発明の半導体装置の好ましい製造方法は、基板上あるいは基板上に形成された膜上にゲート電極を形成する工程と、前記ゲート電極上に強誘電体薄膜を形成する工程と、前記強誘電体薄膜の表面を半導体化し強誘電体薄膜の一部に半導性領域を形成する工程と、前記半導性領域上に間隔をおいてソース/ドレイン電極を形成する工程を有することを特徴とする。

【0019】また本発明が別の解決法として提示する半導体装置の好ましい製造方法は、基板上あるいは基板上に形成された膜上にゲート電極を形成する工程と、前記ゲート電極上に強誘電体薄膜を形成する工程と、前記強誘電体薄膜の表面の間隔をおいた2つの領域を p 型あるいは n 型導電型に半導化してソース/ドレイン領域を形成する工程と、前記強誘電体薄膜の表面の前記ソース/ドレイン領域に挟まれた領域を前記ソース/ドレイン領域と異なる導電型に半導化してチャネル領域を形成する工程と、前記ソース/ドレイン領域上にそれぞれソース/ドレイン電極を形成する工程を有することを特徴とする。

【0020】いずれの場合も、強誘電体薄膜の表面を半導体化する工程を有することを特徴としている。強誘電体薄膜と半導体薄膜を別工程で形成すると良好な強誘電体/半導体界面を形成することが難しい。強誘電体薄膜の表面を半導体化して、強誘電体薄膜の一部を半導性領域とすると結晶格子の不連続がなく欠陥の少ない良好な

界面が得られる。

【0021】前記の製造方法について、さらに詳しく説明する。このような基板上、あるいは基板上に形成された絶縁膜上にゲート電極を形成する。ゲート電極は後で形成する強誘電体が酸化物の場合には耐酸化性の導電性材料が好ましい。例えば、 Pt 、 Ir 、 RuO_2 などが好ましい。 Pt を用いる場合は、さらに下地基板との密着性を改善するため Ti 、 Ta やその窒化物を密着層としてあらかじめ形成するのが好ましい。電極のエッチング法としてイオンミリングを始め、プラズマエッチングや HF 等によるウェットエッチングなどでも良い。

【0022】このゲート電極上に強誘電体薄膜を形成する。強誘電体薄膜の形成方法は sol-gel 法、スパッタリング法、 CVD 法、レーザーアブレーション法などが利用できる。続いて強誘電体薄膜の基板側と反対の表面を半導体化する。強誘電体を半導体化する方法は不純物拡散法によるものが好ましい。例えば PbZrTiO_3 の場合、 Ta 、 Bi 、 La 、 Ce 、 Pr 、 Nd 、 Sm などを不純物として拡散させることにより n 型導電性の半導体にすることができる。また、 p 型導電性に半導体化するための不純物としては Fe 、 K 、 Na 、 Sc などを用いる。

【0023】ペロブスカイト型酸化物の一部では酸素欠陥を導入することによっても半導体化できるが、欠陥量のコントロールが困難で、またその後の電極形成や保護膜形成工程の影響を受けやすい。元々の強誘電体を構成する元素と価数の異なる元素を不純物として拡散させる原子価制御法により半導体化すると再現性よくキャリア濃度をコントロールできる。半導体化の方法は、強誘電体薄膜に不純物として拡散させるイオンを高エネルギーで打ち込むイオン打ち込み法や、有機金属溶液を表面に塗布して熱拡散させる方法等を利用する。

【0024】さらに、表面を半導体化した強誘電体薄膜上に間隔をおいてソース/ドレイン電極を公知の方法により形成する。この上に保護膜を設けても良い。保護膜にはコンタクトホールを形成し、強誘電体素子と他の集積回路素子間のコンタクトをとる。

【0025】

【作用】本発明によれば、表面が半導体化された強誘電体薄膜を利用し、強誘電性領域と半導性領域を同一材料で構成することにより、強誘電性領域と半導性領域の間で物質拡散が起こらず、強誘電性領域/半導性領域の界面に結晶格子の不連続がなく欠陥の少ない界面が得られる。そのため、キャリアが界面の欠陥にトラップされることがなく、安定に動作させることができる。また、強誘電体薄膜は基板上に直接形成する必要がなく、基板上に形成した集積回路素子に損傷を与えることがない。また、記憶された情報は非破壊で読み出すことができる。

【0026】本発明の半導体装置は、強誘電体のメモリ一効果を利用して記憶デバイスとして利用ができる。他

に、液晶表示デバイスの駆動素子としての利用も可能である。従来の薄膜トランジスタを使用した場合、画素の表示を維持するためにオン状態にしたトランジスタには常時ゲート電圧を印加する必要があったが、本発明の素子ではメモリー効果を利用して、オン状態にするときのみゲートに電圧を印加すればよい。

【0027】

【実施例】以下、添付図面に基づき本発明の半導体装置の実施例を詳細に説明する。

【0028】

【実施例1】図1は本発明の第1実施例の半導体装置の基本素子の断面図である。半導体基板11上に絶縁膜12を挟んでゲート電極13が設けられている。その電極上に強誘電体薄膜14が設けられ、その上側表面は半導体化された半導性領域15になっている。その強誘電体薄膜の上に間隔をおいてソース/ドレイン電極16が配置される。この素子は絶縁性の保護膜17で保護され、各電極はコンタクト18により基板上の他の回路素子と電気的に接続されている。

【0029】続いて、上記の基本素子の製造工程を説明する。図3から図14は製造工程の概略を示している。最初に、図3のように集積回路が形成されたSi基板11上に厚さ300nmのSiO₂膜12をプラズマCVD法により形成した。続いて、SiO₂膜の上に厚さ50nmのTi21をスパッタ法で形成した後、厚さ200nmのPt電極22を形成した。このPt/Ti電極をイオンミリングでエッチングし、図4のように所定の形状に加工した。

【0030】続いて、図5のように、強誘電体薄膜PbZrTiO₃ (Zr/Ti比50/50) 14をsol-gel法により形成した。sol-gel法は有機金属を原料にする薄膜形成法で、酢酸PbとZrメトキシエトキシドとTiメトキシエトキシドをメトキシエタノール中で混合した原料溶液を基板上にスピコートニングして、600℃で熱処理してPbZrTiO₃ 薄膜を形成した。

【0031】続いて、PbZrTiO₃ 薄膜の上にNb(OC₂H₅)₅ 溶液を塗布し、700℃で熱処理することによりPbZrTiO₃ の上側表面からNbを拡散させ、PbZrTiO₃ の表面をn型導電性に半導体化し、図6のように半導性領域15を形成した。続いて、図7のように、PbZrTiO₃ の不要部分をエッチング除去した後、図8のようにPbZrTiO₃ 上にTiNを形成、所定の形状に加工して間隔をおいて配置したソース/ドレイン電極16を作成した。

【0032】続いて、図9のように基板表面にプラズマSiN₄ 17を形成して素子を保護した。最後に、図10のように保護膜にコンタクトホールを形成して、Alをスパッタして素子間のコンタクト18をとり他の集積回路素子と接続した。さて、このように作成した素子

(以下素子Aと記す)と比較するため、従来技術により素子Bを作成した。以下、素子Bの作成方法を説明する。

【0033】素子Aと同様にSiO₂ 膜を形成したSi基板上にPt/Tiゲート電極を形成し、その上にPbZrTiO₃ を形成した。次にPbZrTiO₃ 上にIn₂O₃ 薄膜をスパッタリング法により60nm形成した。In₂O₃ 薄膜上にTiNを形成、所定の形状に加工してソース/ドレイン電極を作成した。続いて、素子Aの場合と同様に基板表面にプラズマSiN₄ 保護膜を形成して素子を保護、保護膜にコンタクトホールを形成して、Alをスパッタして素子間のコンタクトをとり他の集積回路素子と接続した。

【0034】さて素子Aと素子Bについて、ソースドレイン電極間の抵抗を測定した。両者ともゲート電極に印加する電圧が0でも、ソースドレイン電極間の抵抗値は強誘電性領域の残留分極の向きにより2つの値をとった。その抵抗値の比は強誘電性領域を分極反転させた直後で、素子Aは109:1、素子Bは34:1であった。高抵抗状態と低抵抗状態のそれぞれについて、ゲート電極に電圧をかけることなく放置して、経時変化を調べると、素子Aは図17のように、素子Bは図18のように変化した。どちらの場合も抵抗値の対数と時間の対数は直線関係にあり、図17の実験値を外挿することにより得られる10年後すなわち約3×10⁸ 秒後の高抵抗状態と低抵抗状態の抵抗比は約23:1となった。この2つの抵抗の差異は簡単な識別回路で識別できるものであり、素子Aは10年以上の記憶保持が可能で、高い安定性を持つことがわかった。これに対して素子Bの場合、図18の実験値を外挿すると、約6×10⁷ 秒後に両者の値がほぼ等しくなり識別不能になった。この結果は、従来技術で作成した素子Bに対して本発明の実施例である素子Aの方が高い安定性を持つことを示している。

【0035】

【実施例2】図2は本発明の第2実施例の半導体装置の基本素子の断面図である。半導体基板11上に絶縁膜12を挟んでゲート電極13が設けられている。そのゲート電極上に強誘電体薄膜14が設けられている。そのゲート電極13の上に位置する強誘電体薄膜の上側表面はp型あるいはn型導電型に半導体化されたチャネル領域19になっている。強誘電体薄膜の上側表面のチャネル領域19を挟む位置にチャネル領域と異なる導電型に半導体化されたソース/ドレイン領域20が設けられている。そのソース/ドレイン領域20の上にソース/ドレイン電極16が配置される。この素子は絶縁性の保護膜17で保護され、各電極はコンタクト18により基板上の他の回路素子と電気的に接続されている。

【0036】続いて、上記の基本素子の製造工程を説明する。図11から図16は請求項2に記載の半導体装置

の製造工程の概略を示している。最初に、実施例1の場合と同様、図11に示すように集積回路を形成したSi基板上にSiO₂膜を形成し、次にPt/Ti電極を形成する。そして、図12のように、PbZrTiO₃薄膜を形成した。

【0037】続いて、PbZrTiO₃薄膜の表面上で、Pt/Ti電極の上に位置する部分に、Nb(OC₂H₅)₅溶液を塗布し、700℃で熱処理することによりPbZrTiO₃の上側表面からNbを拡散させ、PbZrTiO₃の表面をn型導電性に半導体化し、チャネル領域19を形成した。図13に示すように、チャネル領域を挟む領域にAl(OC₂H₅)₃溶液を塗布し、700℃で熱処理することによりAlを拡散させてp型導電性に半導体化し、ソース/ドレイン領域20を形成した。

【0038】続いて、図14のように、PbZrTiO₃の不要部分をエッチング除去した後、ソース/ドレイン領域上にTiN電極16を形成した。続いて、図15のように基板表面にプラズマSiNx 17を形成して素子を保護した。最後に、図16のように保護膜にコンタクトホールを形成して、Al電極をスパッタして素子間のコンタクト18をとり他の集積回路素子と接続した。

【0039】さて、このように作成した素子の1つについて、ゲート電圧(ゲート電極に印加する電圧V_g)によるドレイン電流(ソース/ドレイン電極間に1Vの電圧を印加したときに流れる電流I_d)の変化を測定した。その結果、この薄膜トランジスタは図19に示すようにヒステリシスを持ち、メモリー特性を有することがわかった。V_g=0Vで、ドレイン電流が流れるオン状態と、ほとんど流れないオフ状態の2つの状態を持つ。オン状態とオフ状態の識別は容易にできる。次にV_g=0Vの時のオン状態とオフ状態のそれぞれについてドレイン電流の経時変化を調べた。オフ状態に関しては変化が見られなかった。オン状態に関してはドレインコンダクタンスの対数と時間の対数は直線関係を示し、実験値を外挿すると、10年後のドレインコンダクタンスは初期値の30%になった。この素子は10年以上の記憶保持が可能で、高い安定性を持つことがわかった。

【0040】

【発明の効果】以上詳述したとおり本発明によれば、強誘電体素子と半導体素子の集積化が容易で、非破壊読み出しが可能であり、安定に動作する信頼性の高いデバイスを提供できる。

【図面の簡単な説明】

【図1】実施例1に記載の半導体装置の断面図

【図2】実施例2に記載の半導体装置の断面図

【図3】実施例1に記載の半導体装置の製造工程

【図4】実施例1に記載の半導体装置の製造工程

【図5】実施例1に記載の半導体装置の製造工程

【図6】実施例1に記載の半導体装置の製造工程

【図7】実施例1に記載の半導体装置の製造工程

【図8】実施例1に記載の半導体装置の製造工程

【図9】実施例1に記載の半導体装置の製造工程

【図10】実施例1に記載の半導体装置の製造工程

【図11】実施例2に記載の半導体装置の製造工程

【図12】実施例2に記載の半導体装置の製造工程

【図13】実施例2に記載の半導体装置の製造工程

【図14】実施例2に記載の半導体装置の製造工程

【図15】実施例2に記載の半導体装置の製造工程

【図16】実施例2に記載の半導体装置の製造工程

【図17】素子Aのソース/ドレイン電極間の抵抗値の経時変化

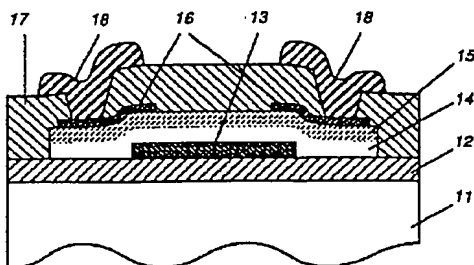
【図18】素子Bのソース/ドレイン電極間の抵抗値の経時変化

【図19】ゲート電圧-ドレイン電流特性

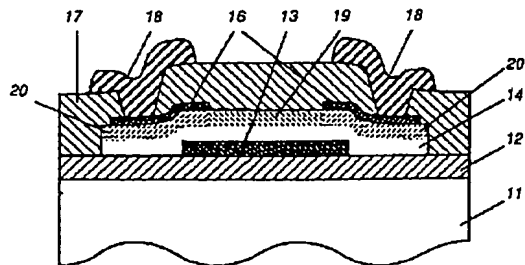
【符号の説明】

- 11 半導体基板
- 12 絶縁膜
- 13 ゲート電極
- 14 強誘電体薄膜
- 15 半導性領域
- 16 ソース/ドレイン電極
- 17 保護膜
- 18 コンタクト
- 19 チャネル領域
- 20 ソース/ドレイン領域
- 21 Ti
- 22 Pt

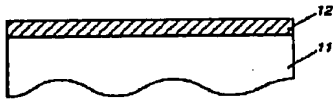
【図1】



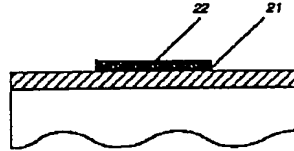
【図2】



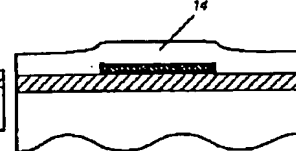
【図3】



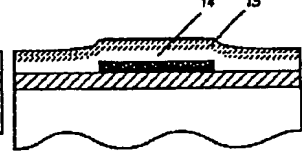
【図4】



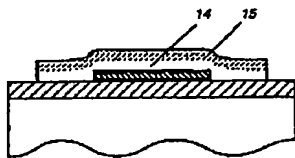
【図5】



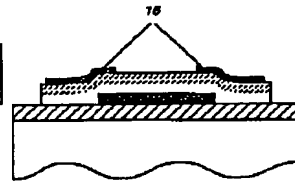
【図6】



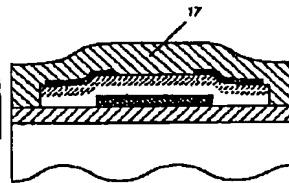
【図7】



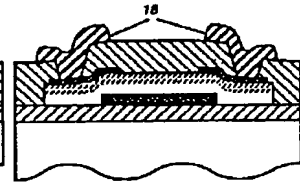
【図8】



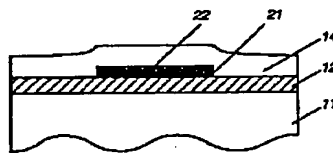
【図9】



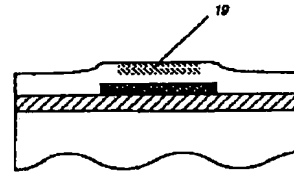
【図10】



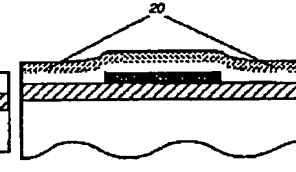
【図11】



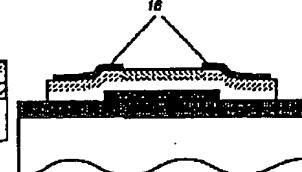
【図12】



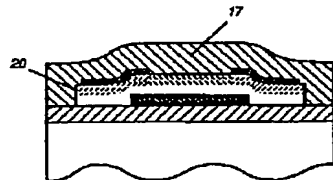
【図13】



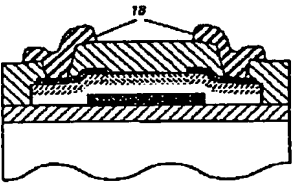
【図14】



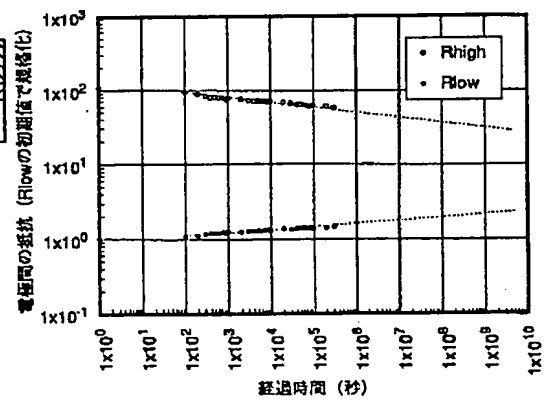
【図15】



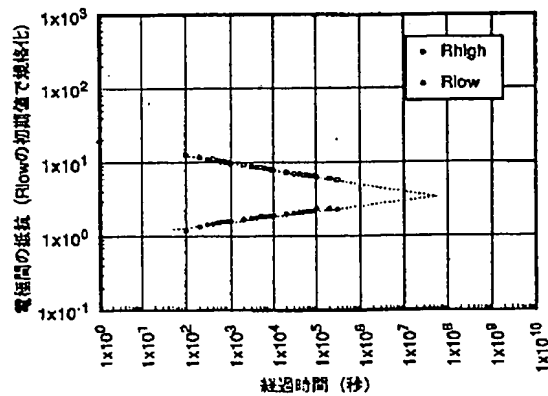
【図16】



【図17】



【図18】



(8)

特開平8-306806

【図19】

